



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원 번호 : 10-2002-0076230  
Application Number PATENT-2002-0076230

출원 년 월 일 : 2002년 12월 03일  
Date of Application DEC 03, 2002

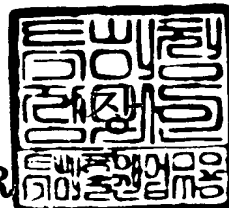
출원인 : 삼성전자 주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2002 년 12 월 24 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2002.12.03
【발명의 명칭】	반도체소자의 게이트 산화막 형성방법
【발명의 영문명칭】	Method of forming gate oxide layer in semiconductor devices
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	김능균
【대리인코드】	9-1998-000109-0
【포괄위임등록번호】	2001-022241-9
【발명자】	
【성명의 국문표기】	박문한
【성명의 영문표기】	PARK, Moon Han
【주민등록번호】	670123-1675511
【우편번호】	449-846
【주소】	경기도 용인시 수지읍 풍덕천리 1167 진산마을 삼성5차APT 523동 110 1호
【국적】	KR
【발명자】	
【성명의 국문표기】	임버리
【성명의 영문표기】	LIM, Byou Ree
【주민등록번호】	770825-2041827
【우편번호】	449-901
【주소】	경기도 용인시 기흥읍 농서리 산24번지 지예당 16동(라일락동) 1109 호
【국적】	KR
【발명자】	
【성명의 국문표기】	유재운
【성명의 영문표기】	Y00, Jae Yoon

【주민등록번호】 720619-1006612  
【우편번호】 135-280  
【주소】 서울특별시 강남구 대치동 은마아파트 10동 805호  
【국적】 KR  
【심사청구】 청구  
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인  
김능균 (인)  
【수수료】  
【기본출원료】 15 면 29,000 원  
【가산출원료】 0 면 0 원  
【우선권주장료】 0 건 0 원  
【심사청구료】 7 항 333,000 원  
【합계】 362,000 원  
【첨부서류】 1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

본 발명은 반도체소자의 게이트산화막 형성방법에 관한 것으로, 본 발명은 반도체 기판에 형성된 자연산화막 및 상기 자연산화막의 제거로 인해 발생된 산화막을 제거하는 세정공정을 수행하는 제1 단계와; 상기 세정공정이 완료된 반도체기판에 표면거칠기를 감소시키는 수소보호막을 형성하는 수소 어닐링공정을 수행하는 제2 단계와; 상기 결과물 상에 게이트 산화막을 형성하는 제3 단계와; 상기 반도체기판에 이온침투가 방지되도록 하기 위해 상기 게이트 산화막에 질화처리를 수행하는 제4 단계로 이루어진다.

**【대표도】**

도 1

**【명세서】****【발명의 명칭】**

반도체소자의 게이트 산화막 형성방법{Method of forming gate oxide layer in semiconductor devices}

**【도면의 간단한 설명】**

도 1은 본 발명의 바람직한 일 실시 예인 반도체소자의 게이트 산화막 형성방법의 순서도를 도시한 도면이고,

도 2 내지 도 5b는 본 발명에 따른 반도체소자의 게이트 산화막 형성방법을 도시한 공정순서도이다.

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <3> 본 발명은 반도체소자의 게이트 산화막 형성방법에 관한 것이다.
- <4> 반도체소자의 고집적화가 진행될수록 제조 공정 중에서 발생하는 오염 및 환경성 오염을 제어하는 일은 제조 수율 및 제품의 품질 관리를 위해서 필수적인 것이다.
- <5> 이러한 반도체 기판의 표면 오염은 제조 공정의 개시에서 완료에 이르기까지의 전 공정에 걸쳐서 발생할 수 있으며, 그 오염원의 종류 또한 파티클, 유기물, 금속성 물질, 자연 산화막 등의 산화막 등으로 매우 다양하기 때문에, 이를 효율적으로 제거하는 것에

는 한계가 있고, 이와 같은 한계를 극복하지 못한 상태에서 반도체기판에 형성되는 게이트 산화막은 소자의 불량을 발생하게 되는 문제점이 있다.

<6>       또, 상기 반도체기판에 형성되는 게이트 산화막은 점점 얇아지고 있는데, 이로 인해 상기 게이트 산화막 상부에 형성될 게이트전극용 폴리실리콘에 주입되는 다양한 용도의 이온이, 상기 얇아지는 게이트 산화막으로 침투하게 되고, 이는 반도체 기판까지 침투하게 된다. 따라서, 이와 같은 게이트 산화막은 소자의 불량을 발생하게 되는 문제점이 있다.

#### 【발명이 이루고자 하는 기술적 과제】

<7>       상술한 문제점을 해결하기 위한 본 발명의 목적은 게이트 산화막 형성으로 인해 발생될 수 있는 반도체소자의 불량을 방지할 수 있도록 하는 반도체소자의 게이트 산화막 형성방법에 관한 것이다.

#### 【발명의 구성 및 작용】

<8>       상술한 문제점을 해결하기 위한 본 발명의 바람직한 일 실시 예는 반도체 기판에 형성된 자연산화막 및 상기 자연산화막의 제거로 인해 발생된 산화막을 제거하는 세정공정을 수행하는 제1 단계와; 상기 세정공정이 완료된 반도체기판에 표면거칠기를 감소시키는 수소보호막을 형성하는 수소 어닐링공정을 수행하는 제2 단계와; 상기 결과물 상에 게이트 산화막을 형성하는 제3 단계와; 상기 반도체기판에 이온침투가 방지되도록 하기 위해 상기 게이트 산화막에 질화처리를 수행하는 제4 단계로 이루어진다.

- <9>       상기 제1 단계의 자연산화막의 제거로 인해 발생된 산화막은 불산을 통해 제거하는 것이 바람직하다. 상기 제2 단계는 수소 분위기내에서 750 내지 1050℃ 사이의 온도, 약 20초 내지 60초 사이 동안의 시간, 약 0.1 내지 100 torr사이의 압력, 약 0.5 SLM 내지 약 10 SLM 흐름의 양을 가진 공정조건으로 열처리하는 것이 바람직하다. 상기 제4 단계의 질화처리는 상기 게이트산화막 상부에 질화막을 형성할 수 도 있고, 상기 게이트산화막 내부에 질소 이온층을 형성할 수도 있다. 상기 질소이온층은 플라즈마 질화(Plasma nitridation)공정을 통해 형성하는 것이 바람직하다. 상기 제4 단계의 질화처리를 수행함으로써 발생된 결함을 제거하기 위해 후속열처리단계를 더 진행하는 것이 바람직하다.
- <10>       이하, 첨부된 도면을 참조하여 본 발명의 바람직한 일 실시 예를 구체적으로 설명하고자 한다.
- <11>       도 1은 본 발명에 따른 바람직한 일 실시 예인 반도체소자의 게이트 산화막 형성방법에 관한 순서도이고, 도 2 내지 도 5a, 5b는 본 발명에 따른 반도체소자의 게이트 산화막 형성방법을 도시한 공정순서도로써 이를 참조하여 설명하면 다음과 같다.
- <12>       우선, 도 1의 제1 단계(S2) 및 도 2에 도시된 바와 같이, 세정공정을 수행하는 단계이다. 이 세정공정은 반도체 기판(10)에 형성된 자연산화막을 제거하기 위해 수행하는 공정으로 본 공정에서는 RCA 세정을 수행한다. 이 RCA 세정은 SPM 세정과 SC-1 세정으로 구분된다. 이때, 웨이퍼 표면에 형성된 자연산화막의 성분 중 유기 오염물들은  $\text{H}_2\text{SO}_4 + \text{H}_2\text{O}_2 + \text{DI}$ 의 세정액으로 제거하는 SPM 세정을 수행하고, 자연산화막의 성분 중 남아있는 유기 성분이나 미세 파티클들은  $\text{NH}_4\text{OH} + \text{H}_2\text{O}_2 + \text{DI}$ 의 세정액으로 제거하는 SC-1 세정을 수행한다. SPM 세정은 일반적으로 98%의 H

$H_2SO_4$ 와 30%의  $H_2O_2$ 를 2~4:1의 용적 비로 혼합하여서 100℃ 이상의 고온에서 사용하는 공정으로, 점성이 높은 황산기를 제거시키기 위해서 탈이온수(DI water)로 충분히 세척해 주어야 한다. 결과적으로, SPM 세정에 의해서 웨이퍼 표면의 유기 불순물이 대부분 제거되고, SC-1 세정에 의해서 SPM 세정에 의해 잔존된 불순물을 제거하게 됨으로써 자연산화막이 제거된다. 이때, SPM 세정, SC-1 세정에 함유된 과수( $H_2O_2$ )성분은 최종적으로 웨이퍼 표면에 화학적인 산화막(chemical-oxide)을 생성하게 된다. 이러한 처리 과정에서 생성된 화학적 산화막의 표면 거칠(roughness)은 가스를 기초로 하여 생성되는 산화막 및 열적으로 생성되는 산화막의 표면 거칠에 비해서 나쁜 특성을 가지게 된다. 그리고 세정에 사용되는 화학 물질 자체 즉, 과수의 금속 불순물에 의해서 웨이퍼 표면에 금속 오염이 야기되기 때문에, 반드시 제거되어야만 한다. 그래서 RCA 세정을 완료한 후 그 결과물에 HF(불산)를 처리하여 상기 SPM 공정과 SC-1 공정에서 야기된 문제까지 제거한다.

<13> 따라서, 제1 단계(S2)는 반도체기판(10) 상에 형성된 자연 산화막과 함께 이 자연 산화막을 제거하기 위해 수행된 SPM 공정과 SC-1 공정에 의해 발생한 화학적인 산화막까지 제거하고 있다.

<14> 이어, 도 1의 제2 단계(S4) 및 도 3에 도시된 바와 같이, 상기 RCA 공정이 완료된 반도체 기판(10)에 수소 열처리( $H_2$  Annealing)공정을 수행하는 단계이다. 상기 RCA 세정 공정이 완료된 반도체 기판은, 결합하지 못한 실리콘 원자의 본드를 표면에 갖게 되고, 이로써 미세한 굴곡이 감지되는 표면 거칠기(RMS: 0.361이하)를 갖게 된다. 따라서, 이 표면거칠기를 가진 반도체 기판을, 수소 분위기내에서 750 내지 1050℃ 사이의 온도, 약 20초 내지 60초 사이 동안의 시간, 약 0.1 내지 100 torr사이의 압력, 약 0.5 SLM 내지



약 10 SLM 흐름의 양을 가진 공정조건으로 열처리한다. 상기와 같은 수소 열처리공정을 완료하게 되면, 상기 수소 원자에 의해 중단 처리된 실리콘기판 표면을 얻게 된다. 이 수소원자는 실리콘 기판 표면 전체에 형성되는 수소 보호막의 역할을 수행할 뿐 아니라, 실리콘 기판의 결합되지 않은 실리콘 원자와 결합하여 보다 평탄한 표면 거칠기(RMS: 0176 이하)를 가지게 된다. 또한 실리콘 원자가 수소 원자에 의해 중단 처리되면, 반응성이 낮아져 후속하는 게이트 산화막의 성장을 위한 공정에 있어서의 지연 중, 또는 공정 온도에 도달하기 위한 온도 상승시의 산화막의 이상 성장이 방지되므로, 실리콘표면의 보호막(passivation layer)역할도 수행하게 된다. 상기 수소 열처리에 사용되는 수소를 중수소(D2)로 사용하여도 동일한 효과를 얻을 수 있다.

<15> 따라서, 제2 단계(S4)는 수소 열처리를 실시함으로써 반도체기판 표면의 수소 보호막을 형성하고, 반도체 기판 표면의 표면 거칠기를 개선할 수 있게 된다.

<16> 다음으로, 도 1의 제3 단계(S6) 및 도 4에 도시된 바와 같이, 상기 제2 단계(S4)의 수소열처리가 완료된 반도체 기판(10)상에 게이트 산화막(12)을 형성하는 단계이다. 이 게이트 산화막(12)은 반도체 소자의 한 요소로써 반도체 기판을 보호할 뿐 아니라 이후 형성될 게이트 전극과 반도체 기판에 형성될 소스/드레인 영역과 절연시키는 등 다양한 역할을 수행하고 있다. 이와 같은 역할을 하는 게이트 산화막은 주로 열산화법(Thermal oxidation)으로 일정 두께를 형성하고, 상기 산화막 상에 형성되는 막 종류에 따라 CVD 법, 플라즈마 산화법 등을 적절히 사용하여 형성한다.

<17> 이어, 도 1의 제4 단계(S8) 및, 도 5a 또는 도 5b에 도시된 바와 같이, 상기 형성된 게이트 산화막(12)에 질화처리를 수행하여 질화막(14a) 또는 질소이온층(14b)을 형성한다. 상기와 같이 표면오염이 효율적으로 제거된 반도체 기판(10)상에 형성된 게이트

산화막의 두께가 점차 얇아지고 있는데, 이 얇아진 게이트 산화막의 두께로 인해 상기 게이트전극 형성 시에 주입되는 이온, 즉 도핑되지 않은 폴리실리콘 전극이 도핑되기 위해 주입하는 이온 또는 다결정 실리콘게이트 전극의 도전성이 높아지기 위해 주입하는 이온 등이, 상기 게이트 산화막(12)을 통해 반도체 기판으로 침투하는 경우가 발생한다. 이를 방지하기 위해 게이트 산화막(12) 상부에 질화처리를 수행하게 되는 데, 이는 도 5a에 도시된 바와 같이 얇은 게이트산화막(12) 상부에 실리콘 질화막(SiN: 14a)을 형성하는 방법과 도 5b에 도시된 바와 같은 게이트산화막 내부에 질소이온을 주입하여 질소이온층(14b)을 형성하는 방법을 이용한다.

<18> 우선, 상기 두 가지 방법 중 도 5b에 도시된 질소이온층(14b)을 형성하는 방법인 질화공정을 설명하고자 하는 데, 이에선 다음 두 가지 방법이 주로 사용된다. 우선, 플라즈마 질화(Plasma nitridation)공정으로, 이는 플라즈마와 화학반응을 이용한 플라즈마 질화장치를 사용하여 질소를 주입하는 공정이다. 이때 사용되는 반응가스로는 함유한 다양한 가스 즉, NO 가스 혹은 N<sub>2</sub>O 가스등을 사용할 수 있다. 또, 플라즈마 형성소스에 따라서, RF 플라즈마 질화공정, 고밀도 플라즈마 질화공정 혹은 마이크로 웨이브 질화공정을 이용할 수 있고, 플라즈마 발생장치의 위치에 따라서 플라즈마 발생장치가 반응챔버와 일정거리만큼 이격된 상태에서 수행하는 원격 플라즈마 질화공정을 이용할 수도 있다. 또, 플라즈마 질화공정을 사용하는 경우, 플라즈마 질화장치의 반응챔버 압력, 파워, 온도 및 시간은 게이트 산화막에서의 질소 함유량을 고려하여 결정한다. 다른 방법으로는, 열처리 질화(Rapid Thermal Nitridation: RTN)공정을 사용한다. 이는 NH<sub>3</sub> 가스등의 분위기에서 RTP(Rapid Thermal process)를 이용한 나이트라이데이션(Nitridation)을 실시하거나, N<sub>2</sub>, NO, N<sub>2</sub>O 등의 질소를 포함한 가스 분위기에서 RTP 또

는 퍼니스(Furnace)에서 열처리하는 공정방법이다. 또는 원격 플라즈마 나이트라이데이션(Remote Plasma Nitridation)에 의하여 실시할 수도 있다. 이와 같은 열처리 질화(RTN)는 통상적으로 750 °C 내지 950 °C 사이의 온도에서 실시한다.

- <19>       상기 게이트 산화막으로 침투하는 이온을 방지하기 위한 또 다른 방법으로 는 도 5a에 도시된 상기 게이트 산화막 상에 실리콘 질화막(SiN: 14a)을 형성하는 공정으로, 상기 실리콘 질화막은 ALD(Atomic layer deposition), CVD (Chemical Vapor Deposition), JVD (Jet Vapor Deposition) 또는 PVD (Plasma-enhanced Vapor Deposition)중의 어느 하나의 방법으로 형성하거나, 열 공정을 통해 형성하는 것이 바람직하다.
- <20>       따라서, 제4 단계인 게이트 산화막에 수행될 질화처리에 따라, 상기 게이트산화막 상부에 형성된 막질에 이온이 주입될 경우 반도체기판으로 이온이 침투되는 것을 방지할 수 있게 된다.
- <21>       상기와 같이 형성된 게이트 산화막에 질화처리를 수행함으로써 발생된 결함을 제거하기 위해 후속열처리를 더 진행할 수도 있다.
- <22>       상기와 같은 반도체 기판 표면오염의 효율적인 제거단계와 게이트 산화막의 질화처리단계를 동시에 수행한 후 발생된 반도체 소자의 불량률은 상기 단계를 각각 진행한 후 발생된 반도체소자의 불량률보다 더 개선될 수 있다.
- <23>       따라서, 게이트 산화막 형성으로 인해 발생될 수 있는 소자의 불량률은 두 가지 단계, 즉, 표면오염의 효율적인 제거단계와 게이트산화막의 질화처리단계를 동시에 수행함으로써 개선될 수 있다.

<24>       이상에서 살펴본 바와 같이 반도체기판에 형성되는 자연산화막을 제거하고, 반도체기판 표면의 표면 거칠기를 개선하며, 반도체기판 표면에 보호막을 형성함으로써, 반도체기판에 형성된 표면오염을 효율적으로 제거할 수 있고, 게이트산화막에 질화처리를 함으로써, 반도체기판으로 이온이 침투되는 것을 방지할 수 있다.

<25>       따라서, 반도체기판 표면오염의 효율적인 제거와 게이트산화막의 질화처리를 동시에 수행함으로써 게이트 산화막 형성으로 인해 발생될 수 있는 소자의 불량률은 개선될 수 있다.

#### 【발명의 효과】

<26>       이상에서 살펴본 바와 같이 본 발명은, 반도체기판 표면오염의 효율적인 제거와 게이트산화막의 질화처리를 동시에 수행함으로써 게이트 산화막 형성으로 인해 발생될 수 있는 소자의 불량률은 개선될 수 있는 효과가 있다.

<27>       상기에서는 본 발명의 바람직한 실시 예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

**【특허 청구범위】****【청구항 1】**

반도체 기판에 형성된 자연산화막 및 상기 자연산화막의 제거로 인해 발생된 산화막을 제거하는 세정공정을 수행하는 제1 단계와;

상기 세정공정이 완료된 반도체기판에 표면거칠기를 감소시키는 수소보호막을 형성하는 수소 어닐링공정을 수행하는 제2 단계와;

상기 결과물 상에 게이트 산화막을 형성하는 제3 단계와;

상기 반도체기판에 이온침투가 방지되도록 하기 위해 상기 게이트 산화막에 질화처리를 수행하는 제4 단계로 이루어진 것을 특징으로 하는 반도체소자의 게이트 산화막 형성방법.

**【청구항 2】**

제1항에 있어서,

상기 제1 단계의 자연산화막의 제거로 인해 발생된 산화막은 불산을 통해 제거하는 것을 특징으로 하는 반도체소자의 게이트산화막 형성방법.

**【청구항 3】**

제1 항에 있어서, 상기 제2 단계는

수소 분위기내에서 750 내지 1050℃ 사이의 온도, 약 20초 내지 60초 사이 동안의 시간, 약 0.1 내지 100 torr사이의 압력, 약 0.5 SLM 내지 약 10 SLM 흐름의 양을 가진 공정조건으로 열처리하는 것을 특징으로 하는 반도체소자의 게이트산화막 형성방법.

**【청구항 4】**

제1 항에 있어서, 상기 제4 단계의 질화처리는

상기 게이트산화막 상부에 질화막을 형성하는 것을 특징으로 하는 반도체소자의 게이트 산화막 형성방법.

**【청구항 5】**

제1 항에 있어서, 제4 단계의 질화처리는

상기 게이트산화막 내부에 질소 이온층을 형성하는 것을 특징으로 하는 반도체소자의 게이트산화막 형성방법.

**【청구항 6】**

제5 항에 있어서, 상기 질소이온층은

플라즈마 질화(Plasma nitridation)공정을 통해 형성하는 것을 특징으로 하는 반도체소자의 게이트산화막 형성방법.

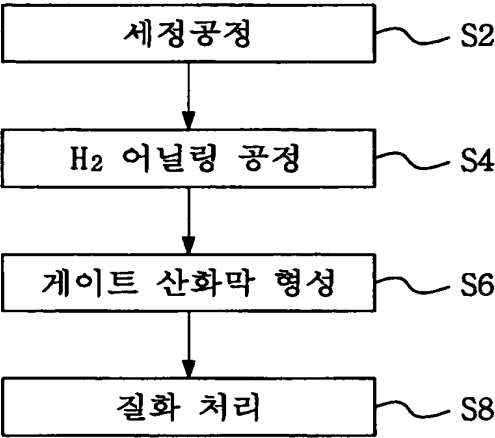
【청구항 7】

제1 항에 있어서,

상기 제4 단계의 질화처리를 수행함으로써 발생된 결함을 제거하기 위해 후속열처리 단계를 더 진행하는 것을 특징으로 하는 반도체소자의 게이트 산화막 형성방법.

【도면】

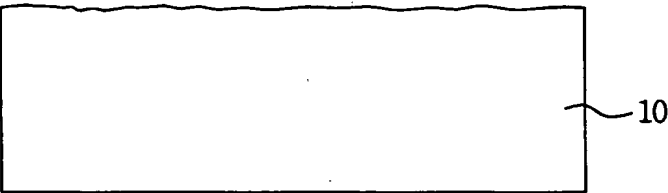
【도 1】



【도 2】

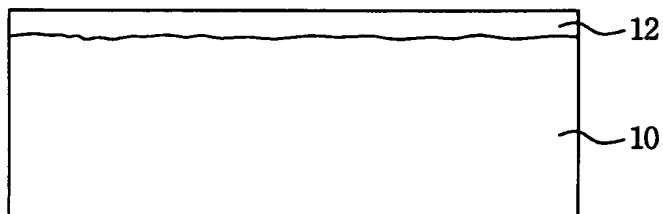


【도 3】

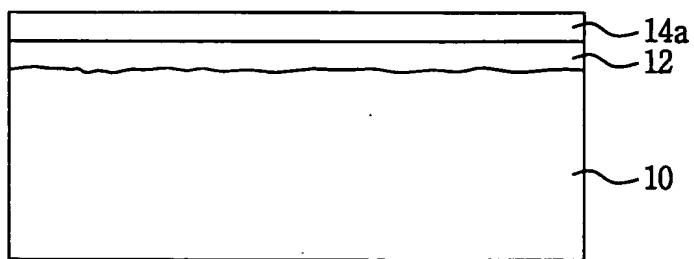




【도 4】



【도 5a】



【도 5b】

